

文章编号:1007-2780(2015)02-0269-06

基于 FPGA 的 Camera Link 输出编码设计

刘彪^{1,2*}, 王建立¹, 吕耀文^{1,2}, 曹景太¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学, 北京 100049)

摘要:为了 Camera Link 摄像机的小型化和集成化,设计并实现了基于 FPGA 的 Camera Link 接口的编码输出功能。输出编码分为 3 个步骤:首先,完成图像像素数据到 Camera Link PORT 的映射;其次,根据 DS90CR287 的数据编码要求对 PORT 数据和同步时钟信号进行编码;最后,通过 FIFO 和并串转换功能模块完成图像数据和时钟编码信号的 LVDS 信号输出。使用 ModelSim 软件,对像素时钟为 40 MHz 的 BASE 模式进行了仿真,同时在实物实验中,完成了像素时钟为 40 MHz 的 FULL 模式的实验,通过以上两方面实验验证了设计的 Camera Link 输出编码方案的正确性和可行性。提出的编码方案稳定可靠,可以应用于不同模式下的 Camera Link 编码输出,具有很高的灵活性和应用价值。

关键词:输出编码;Camera Link;FPGA;摄像机

中图分类号:TP391 **文献标识码:**A **doi:**10.3788/JYXS20153002.0269

Design of camera link output encoding based on FPGA

LIU Biao^{1,2*}, WANG Jian-li¹, LV Yao-wen^{1,3}, CAO Jing-tai¹

(1. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, Changchun 130033, China;* 2. *University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: In order to miniaturize and integrate Camera Link camera, an output-encoding function based on Camera Link interface was designed and implemented. The implementation is divided into three steps: firstly, mapping image pixel data to the Camera Link PORT; secondly, encoding the PORT data and synchronous clock signal according to the data coding requirements of DS90CR287; finally, completing the LVDS output which contains the image data and clock signal through FIFO and parallel-to-serial conversion module. The BASE model that the pixel clock is 40 MHz was emulated using ModelSim, at the same time, the FULL model that the pixel clock is 40 MHz was experimented. The experimental results demonstrate the correctness and feasibility of the Camera Link output encoding scheme. The proposed coding scheme is stable and reliable, it can be used in different modes, with high flexibility and practicability.

Key words: output encoding; camera link; FPGA; video camera

1 引言

目前,数字摄像机向着高分辨率、高帧频的方向发展,带来了数据传输速度的大幅度提升。Camera Link 通过不同的配置方式可以适应不同摄像机对于传输带宽的要求,因此应用极为广泛^[1-3]。Camera Link 在传输物理层上采用低电压差分信号(Low Voltage Differential Signal)电平标准,有效防止了电磁干扰和信号线之间的交叉串扰(Cross Talk)^[4]。同时它的数据线多路技术,使线缆使用量大大缩减^[5]。根据文献[6],需要使用编解码芯片实现 Camera Link 传输协议,文献[7-8]使用 DS90CR287 将 28 路 TTL 信号转换成 4 路 LVDS 信号。根据 DS90CR287 的功能可知,如果要想实现 FULL 模式的编码输出则需要三块 DS90CR287 芯片,这样增加了电路板的走线、焊盘和管脚,不利于摄像机的集成化。现场可编程逻辑阵列(Field Programmable Gate Array)由于其灵活的可配置性能,在摄像机硬件电路设计和图像采集卡中得到了广泛的应用^[9-10]。从查阅的文献来看,目前还没有关于详细介绍使用 FPGA 实现 Camera Link 输出编码的文献。因此,本文在 Camera Link 协议的基础上通过理解 Camera Link 输出编码芯片 DS90CR287 的编码功能,选择了 Xilinx 公司的 Virtex4 系列中 XC4VLX15 型号芯片作为核心芯片,采用 VHDL 硬件描述语言,在 FPGA 中实现了 Camera Link 协议的输出编码功能。在降低硬件成本的同时,有效地节省了电路板的面积,有利于摄像机设计的集成化和小型化。

本文首先给出了采用 FPGA 实现 Camera Link 输出编码的具体方法;接着通过功能仿真和实物实验验证编码的正确性;最后对全文进行归纳和总结。

2 Camera Link 输出编码实现

为了采用 FPGA 实现 Camera Link 输出编码的功能。本文将编码过程分为 3 个步骤:(1)像素数据信号映射成为 Camera Link 中抽象出来的 PORT;(2)对数据信号和同步时钟信号进行 Camera Link 编码;(3)并串转换,将 28 路并行信号转换

成 4 路串行信号。图 1 为 Camera Link 输出编码框图。下面分别对这 3 个步骤做重点说明。

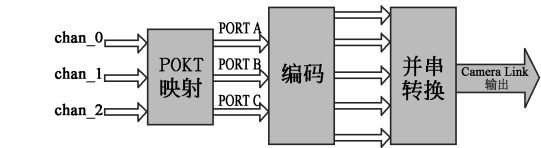


图 1 Camera Link 输出编码框图
Fig. 1 Diagram of Camera Link output encoding

2.1 像素数据与 Camera LinkPORTA\B\C 的映射

根据 Camera Link 编码输出协议,本文重点阐述 Base 型 Camera Link 的 8-bit 像素点的编码方式,FULL 模式的拓展是简单的。表 1 是 Camera Link 协议中抽象出来的 Port A/B/C 与像素数据对应的映射关系。对于其他比特位像素点如 10-bit,12-bit 等根据 Camera Link 协议进行类比映射。

表 1 Base 型 8-bit 字节分配
Tab. 1 Bit assignments for BASE configuration

Port/bit	8-bit x1	Port/bit	8-bit x2	Port/bit	8-bit x3
Port A0	A0	Port B0	B0	PortC0	C0
Port A1	A1	Port B1	B1	PortC1	C1
Port A2	A2	Port B2	B2	PortC2	C2
Port A3	A3	Port B3	B3	PortC3	C3
Port A4	A4	Port B4	B4	PortC4	C4
Port A5	A5	Port B5	B5	PortC5	C5
Port A6	A6	Port B6	B6	PortC6	C6
Port A7	A7	Port B7	B7	PortC7	C7

对应上述映射关系的 VHDL 代码如下所示:
定义:
type t_conf_ports is array (0 to 2) of unsigned (7 downto 0);
type t_cl_ports is array (0 to 2) of t_conf_ports;
signal cl_ports: t_cl_ports := (others => (others => (others => 0'0')));
PORT 分配:
cl_ports(0) <= chan_0(7 downto 0);
cl_ports(1) <= chan_1(7 downto 0);

cl_ports(2) <= chan_2(7 downto 0);
其中,cl_ports 信号对应于 portA\B\C,chan_0,chan_1,chan_2 为 8-bit 像素数据信号。

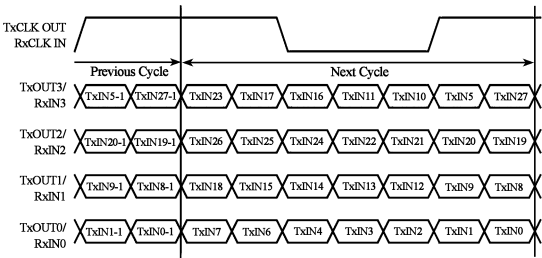


图 2 DS90CR287 信号时序图
Fig. 2 Timing diagram of DS90CR287 data

2.2 数据信号和同步时钟信号的编码

三个 8bit PORT A\B\C 和 FVAL、LVAL、DVAL 以及 Spare 信号,一起构成了 Camera Link 的 28 路数据信号。对这 28 路信号按照 DS90CR287 的输入定义映射位序进行编码即实现了 Camera Link 的输出数据编码功能。Camera Link 为了便于传输数据在采集端的正确性,在对数据编码的同时也对采样时钟进行了编码。图为 DS90CR287 数据信号和同步时钟信号的编码输出时序图^[11]。28 路数据信号与输出时序图中 TxIN 信号的映射如表 2 所示。

相应的 VHDL 代码如下所示:
定义:

```
type t_cl_bits is array (4 downto 0) of
```

```
unsigned(6 downto 0);  
signal cl_bits : t_cl_bits := (others =>  
(others =>'0'));
```

比特分配:

```
cl_bits(0) <= cl_ports (1)(0) &cl_ports (0)(5) &cl_ports (0)(4) &cl_ports (0)(3) &cl_ports (0)(2) &cl_ports (0)(1) &cl_ports (0)(0) ;
```

```
cl_bits(1) <= cl_ports (2)(1) &cl_ports (2)(0) &cl_ports (1)(5) &cl_ports (1)(4) &cl_ports (1)(3) &cl_ports (1)(2) &cl_ports (1)(1) ;
```

```
cl_bits(2) <= dval&fval&lval&cl_ports (2)(5) &cl_ports (2)(4) &cl_ports (2)(3)
```

```
&cl_ports (2)(2) ;
```

```
cl_bits(3) <= '0'&cl_ports (2)(7) &cl_ports (2)(6) &cl_ports (1)(7) &cl_ports (1)(6) &cl_ports (0)(7) &cl_ports (0)(6) ;
```

```
cl_bits(4) <= "1100011";
```

其中:cl_bits 是 1×1 维数组,cl_bits(i)是位宽为 7,最左边一位是 MSB 的信号。Cl_bits(4)为数据同步时钟信号,即如图 1 中的 TxCLK OUT 信号,根据图 2 的时序图,确定 cl_bits(4)的值为“1100011”。

表 2 Camera Link 比特分配
Tab. 2 Camera Link bit assignment

TX	LVAL	FVAL	DVAL	Spare	Port A0	Port A1	Port A2	Port A3	Port A4	Port A5
28-bit Pin name	TX24	TX25	TX26	TX23	TX0	TX1	TX2	TX3	TX4	TX6
TX	Port A6	Port A7	Port B0	Port B1	Port B2	Port B3	Port B4	Port B5	Port B6	Port B7
28-bit Pin name	TX27	TX5	TX7	TX8	TX9	TX12	TX13	TX14	TX10	TX11
TX	Port C0	Port C1	Port C2	Port C3	Port C4	Port C5	Port C6	Port C7		
28-bit Pin name	TX15	TX18	TX19	TX20	TX21	TX22	TX16	TX17		

2.3 并串转换

28 路数据信号和同步时钟信号编码完成后,需要对这 35 路数据进行 7 : 1 并串转换,以最终完成 Camera Link 协议的 4 路 LVDS 数据编码输出和 1 路 LVDS 时钟编码输出。具体来说就是

将已经编码的 cl_bits(i)(其中 i 取 0,1,2,3,4)信号进行 7 : 1 数据并串转换。数据并串转换分为两个步骤:第一步,将 cl_bits(i)中的并行 7 路数据转换成并行 4 路数据完成数据的 7 : 4 并串转换。第二步,采用 Virtex4 FPGA 内部输出功能

模块 OSERDES^[12] 实现数据的 4 : 1 并串转换。并串转换的设计框图如图 3 所示。

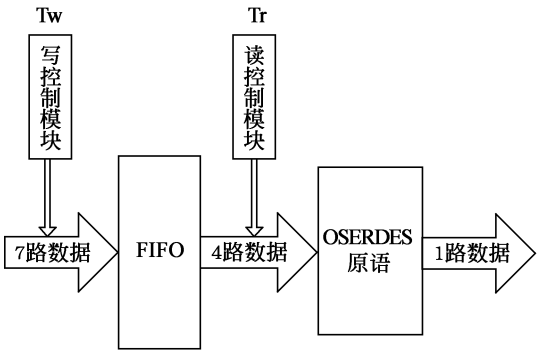


图 3 并串转换框图

Fig. 3 Block diagram of parallel-to-serial

具体实现如下：

(1)使用 FIFO 实现 7 : 4 数据转换。该过程的重点是对写和读的控制信号的实现。对于每个 $cl_bits(i)$ (其中 i 取 0, 1, 2, 3, 4), 分别建立了一个 28×1 bit 的分布式 FIFO, 设像素时钟为 t_w 对应的频率为 f_w , 即 FIFO 写入频率为 f_w , 为实现 7 : 4 的数据转换, 则读出频率 $f_r = 7/4 f_w$ 。

图 4 所示为 FIFO 的读写示意图。图中 $waddr$ 为写节拍指示信号, 使用 VHDL 语言将其定义为 2 位的 unsigned 信号, 初始值为 3, $raddr$ 为读节拍指示信号, 定义为 3 位的 unsigned 信号, 初始值为 6; $wclk$ 为写时钟, 比如为 40 MHz, 则读时钟 $rcclk$ 应该是 70 MHz。

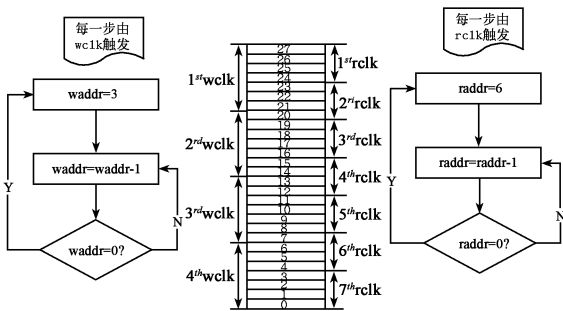


图 4 FIFO 读写示意图

Fig. 4 FIFO write and read diagram

写进程。第一个写时钟 (图中 $1^{st} wclk$), $cl_bits(i)$ 的 MSB 装入到 FIFO 的 27 位, 依次至 $cl_bits(i)$ 的 LSB 装入到 FIFO 的 21 位, $waddr$ 减 1。第二个写时钟 ($2^{nd} wclk$), $cl_bits(i)$ 的 MSB 装入到 FIFO 的 20 地址, 依次到 $cl_bits(i)$ 的 LSB 装

入到 FIFO 的 14 位, $waddr$ 减 1。以此类推, 直到第四个写时钟, $waddr$ 为 0, 此时将 $waddr$ 设置为 3。重复以上过程。

读进程。定义一个 4 位的信号 $data_4b$ (3 downto 0), 用于读取 FIFO 中的数据。第一个读时钟 (图中 $1^{st} rclk$), 将 FIFO 地址为 27~24 的数据分别装入到 $data_4b$ 的 MSB~LSB, $raddr$ 减 1。第二个读时钟 ($2^{nd} rclk$), 将 FIFO 地址为 23~20 的数据分别装入到 $data_4b$ 的 MSB~LSB, $raddr$ 减 1。以此类推, 第七个时钟 ($7^{th} rclk$), 将 FIFO 地址为 3~0 的数据装入到 $data_4b$ 的 MSB~LSB, $raddr$ 为 0, 此时将 $raddr$ 设置为 6。重复以上过程。

(2)设计中使用了 Xilinx 公司的 Virtex-4 系列芯片 XC4VLX15 作为核心芯片, 使用了 OSERDES 原语^[13] 例化功能模块 OSERDES。根据设计方案, 将数据率参数设置为 DDR, TRISTATE_WIDTH 和 DATA_WIDTH 参数设置为 4, SERDES_MODE 参数设置为“MASTER”。实现数据 4 : 1 串并转换要求。

3 仿真与实验

本实验以 Xilinx 公司的 ISE14. 1 作为编译调试软件, 使用 ModelSim SE 10. 0a 作为仿真平台。本实验使用了 Camera Link 采集卡作为接收端, 上位机端使用了 DalsaCamExpert 软件作为人机交互端。为验证 Camera Link 编码的正确性, 实验分为两个部分: (1) Camera Link 编码的时序仿真; (2) 上位机端图像数据的 Camera Link 编码接收。

3. 1 仿真

Testbench 文件中, 时钟 clk_sys 为像素时钟, 设置为 40 MHz; clk_tx_l 为 FIFO 读出时钟, 根据所设置的像素时钟, 该时钟应该为 70 MHz, 同时它也是 OSERDES 的 CLKDIV; clk_tx_h 是 2. 3 步骤 (2) 中 OSERDES 的 CLK, 为 140 MHz。将 $chan_0$, $chan_1$, $chan_2$ 设置为全 1, $chan_0 \leq$ “11111111”; $chan_1 \leq$ “11111111”; $chan_2 \leq$ “11111111”。LVAL 和 DVAL 有效时间 (值为逻辑 1) 为 20 个像素时钟, 每帧为 2 行有效数据, 行消影时间设置为 2 个像素时钟。仿真结果如图 5 所示。

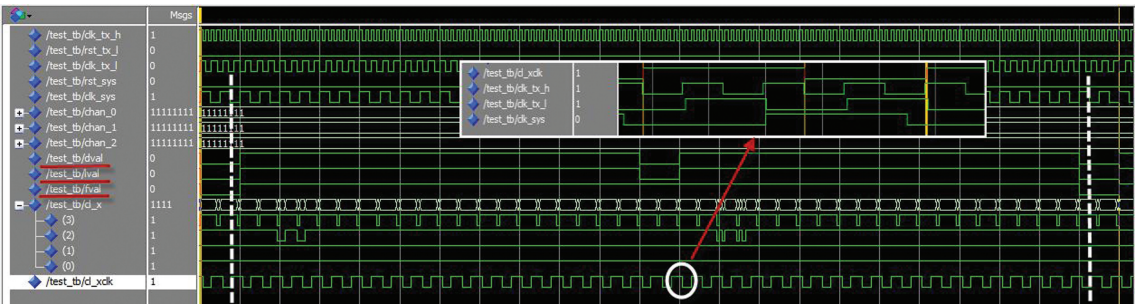


图 5 Camera Link 编码仿真结果

Fig. 5 Simulation of Camera Link encoding

图 5 中,竖直虚线之间是 1 帧数据。包含两行数据。为验证编码的正确性,只需验证时钟信号 $cl_bits(4)$ 编码的正确性就可以了,其他 4 路数据编码与其完全一样。图中 $cl_bits(4)$ 编码后对应信号 cl_xclk ,时序如图 5 中放大图所示,频率为 40 MHz,高低电平比为 4 : 3,时序图完全符合图 2 中的时钟信号 TxCLK OUT,仿真结果验证了编码的正确性。

3.2 实际实验

图 6 是实验平台,采用的 FPGA 芯片是 Xilinx 公司的 Virtex-4 系列 XC4VLX15 芯片,图像传感器采用了 CMOSIS 公司的 CMV2000。实验根据 BASE 型 Camera Link 编码方法,通过拓展实现 FULL 模式下的图像编码。实验板将图像数据经过相应的处理和 Camera Link 编码,通过 Camera Link 传输线,将编码数据传递到上位机的 Camera Link 采集卡,经采集卡解码,由 DalsaCamExpert 软件显示图像相应的信息。

图 7 是上位机 DalsaCamExpert 软件显示的采集卡解码的条纹图像。条纹图像为实验者设定。具体参数设定为:设置了 8 通道的数据,即 $chan_0$ 至 $chan_7$,将其像素点的值对应设置为 255,223,191,159,127,95,63,31,构成一定的梯度,像素时钟为 40 MHz;设置 LVAL 有效时间为 256 个像素时钟,由设置的 8 个通道,可知图像每行有 2 048 个像素点;设置每帧包含 1 024 行数据。根据所设置的 LVAL 和 FVAL 信号可以知道图像大小为 $2\,048 \times 1\,024$ 。

通过观察分析图 7 中的条纹图像,获得的图像与实验设置的图像参数完全符合,说明本文设计的编码方式是可行的。

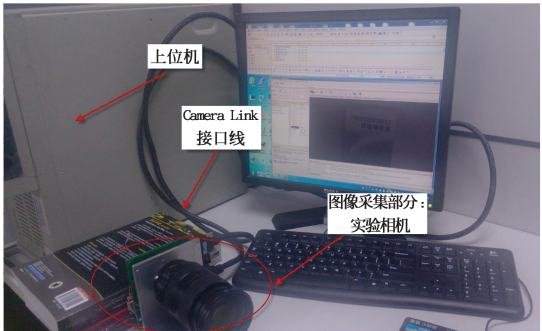


图 6 实验平台

Fig. 6 Experiment platform

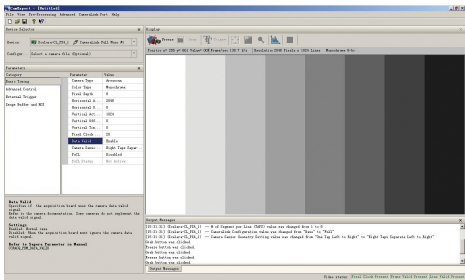


图 7 条纹采集图像

Fig. 7 Acquired image of stripe

4 结 论

为了实现设计 Camera Link 接口摄像机的集成化和小型化,本文介绍了一种采用 Xilinx Virtex4 系列 FPGA 完成 Camera Link 协议编码输出的方法。首先介绍了 Camera Link 接口标准以及专门输出编码芯片 DS90CR287 的时序映射图。其次,重点分析了在 FPGA 中用 VHDL 语言实现 Base 模式输出编码的具体步骤和实现方法。最后,通过仿真和实际图像采集实验验证了本文编码方法的正确性。采用 FPGA 实现 Cam-

era Link 输出编码功能,能够减少硬件设计成本 化和轻量化,在实际中具有很高的应用价值,已在
和硬件电路设计复杂度,便于设计摄像机的小型 工程上得到了应用。

参 考 文 献:

- [1] 刘仲宇,张涛,李嘉全,等.超小型无人机相机系统关键技术研究 [J]. 光电工程,2013,40(4):80-85.
Liu Z Y, Zhang T, Li J Q, *et al.* Key Technology of camera system for ultra-small UAV [J]. *Opto-Electronic Engineering*, 2013, 40(4):80-85. (in Chinese)
- [2] 辛光泽,侯宏录,李飞,等.基于 Camera Link 接口的高速视频图像采集系统 [J]. 国外电子测量技术,2014,33(3):85-88.
Xin G Z, Hou H L, Li F, *et al.* Image collection system based on Camera Link interface [J]. *Foreign Electronic Measurement Technology*, 2014, 33(3):85-88. (in Chinese)
- [3] 黄德天,刘雪超,吴志勇,等.基于 Camera Link 的高速图像采集处理系统设计 [J]. 吉林大学学报:工学版,2013,43(Sup):309-312.
Huang D T, Liu X C, Wu Z Y, *et al.* Design of high-speed image acquisition and processing system based on cameralink [J]. *Journal of Jilin University: Engineering and Technology Edition*, 2013, 43(Sup): 309-312. (in Chinese)
- [4] *LVDS Owner's Manual* [M]. 4th Ed. Texas Instruments, 2008:59-75.
- [5] 魏明.基于 CameraLink 接口的 CMOS 数字相机技术研究[D]. 长春:长春理工大学,2005:8-17.
Wei M. Research on CMOS digital camera based on camera link interface [D]. Changchun: Changchun University of Science and Technology, 2005:8-17. (in Chinese)
- [6] Specification of the Camera Link Interface Standard for Digital Cameras and Frame Grabbers[S].
- [7] 张宇,杨世洪.基于 CMOS 图像传感器的高帧频相机的设计 [J]. *EIC*, 2011, 18(4):41-44.
Zhang Y, Yang S H. Design of high-frame camera based on CMOS image sensor [J]. *EIC*, 2011, 18(4):41-44. (in Chinese)
- [8] 沈鸽,王美娇,嵇晓强.基于 CameraLink 的视频图像采集与传输系统 [J]. 微计算机信息,2011,27(8):99-100.
Shne G, Wang M J, Ji X Q. The system of video image collection and transmission based On CameraLink [J]. *Microcomputer Information*, 2011, 27(8): 99-100. (inChinese)
- [9] 李飞,刘晶红,李刚,等.基于 FPGA 的数字摄像机输出视频 DVI 显示 [J]. 激光与红外,2011,41(11):1258-1262.
Li F, Liu J H, Li G, *et al.* Displaying digital camera video on DVI monitor based on FPGA [J]. *LASER & INFRARED*, 2011, 41(11): 1258-1262. (in Chinese)
- [10] 李勇,刘文怡.一种高速图像数据采集存储系统设计 [J]. 计算机测量与控制,2013,21(2):535-539.
Li Y, Liu W Y. Design of high-speed image and data storage system [J]. *Computer Measurement & Control*, 2013, 21(2):535-539. (in Chinese)
- [11] DS90CR287/DS90CR288A +3.3V Rising Edge Data Strobe LVDS 28-Bit Channel Link-85 MHZ [R].
- [12] Virtex-4 FPGA User Guide[R]. Xilinx, UG070(V2.6), 2008:386-399.

作者简介:刘彪(1990—),男,硕士,主要从事高速数字电路逻辑设计。E-mail:liubiao1000@aliyun.com;